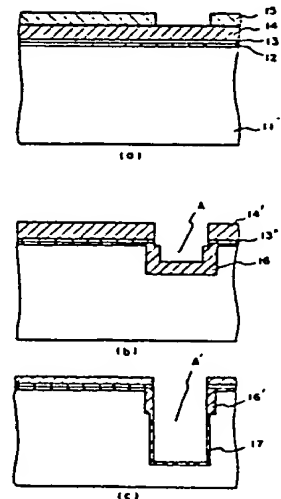


**(54) SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF**

(11) 60-54472 (A) (43) 28.3.1985 (19) JP  
(21) Appl. No. 58-162734 (22) 5.9.1983  
(71) NIPPON DENKI K.K. (72) TOSHIYUKI ISHIJIMA  
(51) Int. Cl.<sup>4</sup> H01L27/10, G11C11/34, H01L27/04

**PURPOSE:** To obtain a capacity unit which has high reliability by covering the surface of a semiconductor substrate with an insulating film, opening a hole, and forming a groove on the substrate by etching, covering the side wall of the groove with an insulating film, and increasing the thickness of the insulating film on the side wall of the groove contacted with the surface of the substrate larger than the other when burying it with a conductor as a charge storage unit.

**CONSTITUTION:** A thin  $\text{SiO}_2$  film 12 and an  $\text{Si}_3\text{N}_4$  film 13 are laminated on the surface of an Si substrate 11, and a thick  $\text{SiO}_2$  film 14 is formed thereon. Then, a photoresist film 15 which has a hole is formed on the prescribed region, anisotropic etching such as reaction ion etching is performed to open holes at the films 14, 13, 12, and a shallow groove A is formed on the surface layer of the substrate 11 by chemical etching. Then, a thick  $\text{SiO}_2$  film 16 is formed on the side wall of the groove A by heat treatment, the film 16 on the bottom of the groove A is removed by again etching, and a deep groove A connected to the groove A in the substrate 11 is formed. Then, a thin  $\text{SiO}_2$  film 17 is covered on the side wall of the groove A', and polycrystalline Si to become a conductor of a capacity unit is buried in the connected grooves A, A'.



DOC

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-54472

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)3月28日

H 01 L 27/10  
G 11 C 11/34  
H 01 L 27/04

1 0 1

6655-5F  
8320-5B  
C-8122-5F

審査請求 未請求 発明の数 2 (全5頁)

⑮ 発明の名称 半導体記憶装置およびその製造方法

⑯ 特 願 昭58-162734

⑰ 出 願 昭58(1983)9月5日

⑱ 発 明 者 石 嶋 俊 之 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

# 明 細 書

発明の名称 半導体記憶装置およびその製造方法

## 特許請求の範囲

1. 半導体基板表面に形成されその表面に絶縁膜が形成され、導体がその中に埋めこまれた溝を電荷蓄積部として用いる半導体記憶装置において、溝の側面と基板表面とが接する部分の絶縁膜のうち溝の側面の部分の絶縁膜かあるいは溝の周囲の基板表面の絶縁膜が溝の他の部分の絶縁膜より厚く形成されていることを特徴とする半導体記憶装置。

2. 半導体基板上に絶縁膜を設け、溝形成領域以外をレジストで被り工程、異方性エッチングにより前記レジストをマスクとして前記絶縁膜をエッチングしさらに前記半導体基板をエッチングして深い溝を形成する工程、前記溝の表面に絶縁膜を形成する工程、異方性エッチングにより前記溝の

(1)

底部に形成された前記絶縁膜のみをエッチングして前記溝の側面にだけ前記絶縁膜を残し、露出した半導体基板をエッチングして深い溝を形成する工程、前記深い溝の表面を薄い絶縁膜で被り工程を含むことを特徴とする半導体記憶装置の製造方法。

## 発明の詳細な説明

本発明は、電荷蓄積部である容量と絶縁ゲート電界効果トランジスタを含んでなる半導体記憶装置における電荷蓄積部の構造に関するものである。

電荷の形で二進情報を貯蔵する半導体メモリセルはセル面積が小さいため、高集積、大容量、メモリセルとして秀れている。特にメモリセルとして一つのトランジスタと一つの容量からなるメモリセル(以下1T1Cセルと略す)は、構成要素も少く、セル面積も小さいため高集積メモリ用メモリセルとして重要である。ところでメモリの高集積化によるメモリセルサイズの縮小に伴い、1T1Cセル構造における容量部面積が減少してきて

(2)

いる。そして容量部面積の減少による記憶電荷量の減少は、耐・粒子問題、センスアンプの感度の劣化を引き起す。

従来、このような問題点を解決するため、メモリセル面積の縮小にもかかわらず大きな記憶容量部を形成する方法として半導体基板内に溝を設け、この溝の側面と半導体基板間に容量に形成する方法が知られている。

第1図に従来よく知られている、溝を用いて容量部を形成する1T1Cセルの一例を示す。第1図において、3が容量電極で反転層6との間に薄い絶縁膜2を設けることにより記憶容量部を形成している。4はスイッチングトランジスタのゲート電極でワード線に接続されており、ビット線に接続されている拡散層5と反転層6の間の電荷の移動を制御する。

しかしながら、従来の溝を用いて容量部を形成する1T1Cセルはより大きな容量を確保するため容量電極3と反転層6との間に薄い絶縁膜2を形成しているため、角ばった端部での電界集中に

(3)

成する工程、異方性エッチングにより前記溝の底面に形成された前記絶縁膜のみをエッチングして前記溝の側面にだけ前記絶縁膜を残し露出した半導体基板をエッチングして深い溝を形成する工程、前記深い溝の表面を薄い絶縁膜で被う工程を含むことを特徴とする半導体記憶装置の製造方法が得られる。

以下本発明の典型的な実施例を図面を用いて詳述する。第2図(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)は本発明における溝を用いて容量部を形成する製造プロセスを順を追って示した模式的断面図である。

第2図(a)は、P型シリコン単結晶基板11上に薄い二酸化珪素膜12、窒化珪素膜13、および厚い二酸化珪素膜14を順次形成した後溝を形成する以外の領域をレジストパターン15で被った状態を示す。

第2図(b)は、前記レジストパターン15をエッチングマスクとして異方性エッチング技術 例えば反応性スパッタエッチ技術を用いることにより

(5)

より絶縁膜の耐圧劣化が生じるという欠点がある。これは溝を用いて容量部を形成する1T1Cセルにおいて信頼性上大きな問題である。

本発明は、溝を用いて容量部を形成する1T1Cセルにおいて角ばった端部における絶縁膜の耐圧劣化を防ぎ信頼性の高い容量部構造を提供することを目的とする。

本発明によれば、半導体基板表面に形成されその表面に絶縁膜が形成され、導体がある中に埋めこまれた溝を電荷蓄積部として用いる半導体記憶装置において、溝の側面と基板表面とが接する部分の絶縁膜のうち溝の側面の部分の絶縁膜があるいは溝の周囲の基板表面の絶縁膜が溝の他の部分の絶縁膜より厚く形成されていることを特徴とする半導体記憶装置が得られ、さらに本発明によれば半導体基板上に絶縁膜を設け、溝形成領域以外をレジストで被う工程、異方性エッチングにより前記レジストをマスクとして前記絶縁膜をエッチングしさらに前記半導体基板をエッチングして深い溝を形成する工程、前記溝の表面に絶縁膜を形

(4)

下地の前記二酸化珪素膜14、窒化珪素膜13、二酸化珪素膜12を順次エッチング除去した後、前記二酸化珪素膜14をもエッチングマスクとして前記シリコン基板11をさらにエッチングして溝の深さが0.3μm程度の浅い溝Aを形成しさらに熱酸化法により前記溝Aの内壁に絶縁膜として二酸化珪素膜16を形成した状態を示す。

第2図(c)は、前述の工程と同様に異方性エッチング技術により前記二酸化珪素膜をエッチング除去し前記溝Aの側面部分のみに前記二酸化珪素膜16'を残した後前記二酸化珪素膜14'をエッチングマスクとして再び異方性エッチング技術により前記シリコン基板11をエッチング除去し溝の深さが1μm以上の深い溝A'を形成しさらに熱酸化法により前記溝A'の表面に薄い二酸化珪素膜17を形成した状態を示す。

第2図(d)は、レジスト18をウェハ全面に塗布して表面を平坦にした状態を示す。

第2図(e)は、異方性エッチング技術 例えば反応性スパッタエッチ技術により前記レジスト

(6)

18を表面よりエッチング除去してゆき前記溝部にレジストを残した後、このレジスト18'をエッチングマスクとして反応性スパッタエッチ技術により前記二酸化珪素膜14'および窒化珪素膜13'を除去した状態を示す。

第2図(f)は、前記ホトレジスト18'を除去後ウェハー全体に薄い窒化珪素膜19およびn型不純物 例えばリンを含んだ厚い多結晶シリコン20を形成し溝部を埋めた状態を示す。

第2図(g)は、前記多結晶シリコン20を表面よりエッチングしてゆき前記溝内のみ前記多結晶シリコンを残した後、再びn型不純物 例えばリンを含んだ多結晶シリコン21を全面的に形成し、さらに容量部の電極形状を有するレジスト22をパターンニングした状態を示す。

第2図(h)は、前記レジスト22をエッチングマスクとして前記多結晶シリコン21をエッチングして容量電極を形成した後、ワード線に接続しているスイッチングトランジスタのゲート電極23およびビット線に接続している拡散層24、24'を

(7)

を表面よりエッチング除去してゆき前記溝部にレジストを残した後、このレジスト37'をエッチングマスクとして反応性スパッタエッチ技術により前記二酸化珪素膜34'および窒化珪素膜33'を除去した状態を示す。

第3図(i)は、前記ホトレジスト37'を除去後ウェハー全体に薄い窒化珪素膜38およびn型不純物 例えばリンを含んだ厚い多結晶シリコン39を形成し溝部を埋めた状態を示す。

第3図(j)は、前記多結晶シリコン39を表面よりエッチングしてゆき前記溝内のみ前記多結晶シリコンを残した後、再びn型不純物 例えばリンを含んだ多結晶シリコン40を全面的に形成し、さらに容量部の電極形状を有するレジスト41をパターンニングした状態を示す。

第3図(k)は、前記レジスト41をエッチングマスクとして、前記多結晶シリコン40をエッチングして容量電極を形成した後、ワード線に接続しているスイッチングトランジスタのゲート電極42およびビット線に接続している拡散層43を

(9)

形成して、溝内に容量をもつ1T1Cセルを形成した状態を示す。

次に本発明の他の実施例を第2図同様、第3図を用いて詳述する。

第3図(a)は、P型シリコン単結晶基板31上に二酸化珪素膜32、窒化珪素膜33、および厚い二酸化珪素膜34を順次形成した後溝を形成する以外の領域をレジスト35で被った状態を示す。

第3図(b)は、前記ホトレジスト35をエッチングマスクとして異方性エッチング技術 例えば反応性スパッタエッチ技術により下地の前記二酸化珪素膜34、窒化珪素膜33、二酸化珪素膜32を順次エッチング除去した後、前記二酸化珪素膜34をもエッチングマスクとして前記シリコン基板31をさらにエッチングして溝を形成し、さらに熱酸化法により溝の表面に薄い二酸化珪素膜36を形成し、次にレジスト37をウェハー全面に塗布して表面を平坦にした状態を示す。

第3図(c)は、異方性エッチング技術 例えば反応性スパッタエッチ技術により前記レジスト37

(8)

形成して、溝内に容量をもつ1T1Cセルを形成した状態を示す。

本発明によれば、シリコン単結晶基板に溝を形成し、シリコン基板と溝を埋めるように形成した容量電極の間に薄い絶縁膜を設けて容量を形成する構造において、溝の開口部端付近における側面の絶縁膜厚を他の溝側面に形成される絶縁膜厚より厚く形成することにより、溝開口部端での電界集中による絶縁膜の耐圧劣化を防ぐことができる。このように溝側面の絶縁膜厚を二段構造にすることにより絶縁膜の耐圧劣化を防ぐことは、高集積化されたメモリにおいて高信頼性を確保する上で重要なことである。

以上述べたように本発明によれば、溝を用いて容量部を形成する1T1Cセルにおいて角ばった溝開口端部における絶縁膜の耐圧劣化を防ぐことにより信頼性の高い容量部構造が容易に得られる。

#### 図面の簡単な説明

第1図は、従来知られている溝を用いて容量部

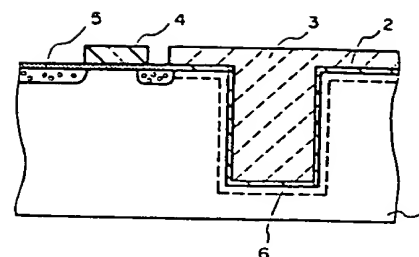
(10)

を形成したITICセルの模式的断面図であり、  
第2図(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および第  
3図(a)、(b)、(c)、(d)、(e)、(f)は、本発明の実施例  
をプロセスを順って示した模式的断面図である。  
図において各記号はそれぞれ次のものを示す。  
1、11、31：シリコン基板、2、12、14、14'、  
16、16'、17、32、34、34'、36：二酸化珪素膜、  
3、21'、40'：容積電極、4、23、42：ワード線に  
接続されたスイッチングトランジスタのゲート電  
極、5、24、43：ビット線に接続された拡散層、  
6：反転層、13、13'、19、33、33'、38：窒化  
珪素膜、15、18、18'、22、37、37'、41：レジ  
スト、20、21、39、40：多結晶シリコン、24'、  
43'：拡散層、A：浅い溝、A'：深い溝。

代理人 井上 内原 晋

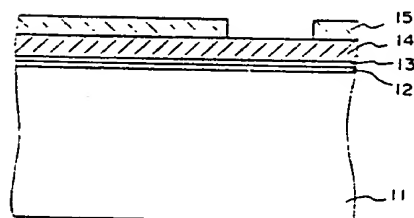


オ 1 図

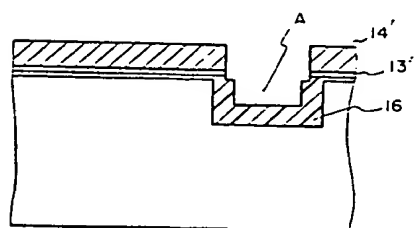


(11)

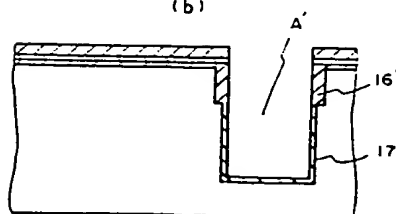
オ 2 図



(a)

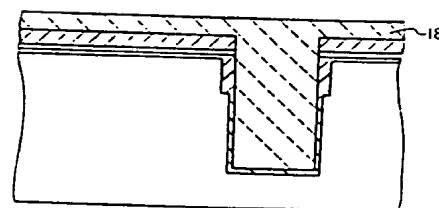


(b)

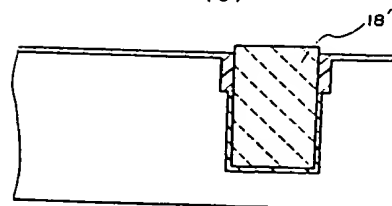


(c)

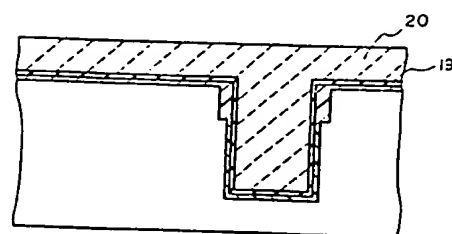
オ 2 図



(d)

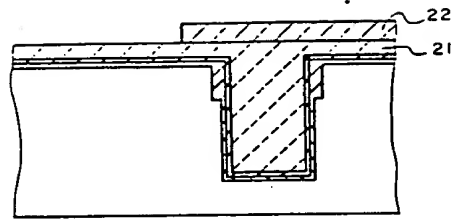


(e)

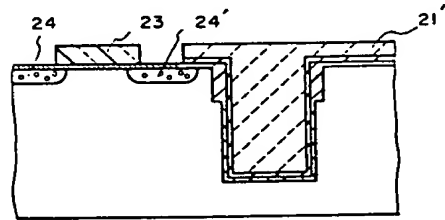


(f)

図 2

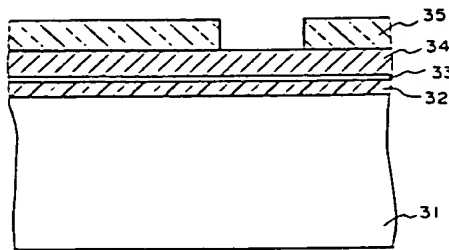


(g)

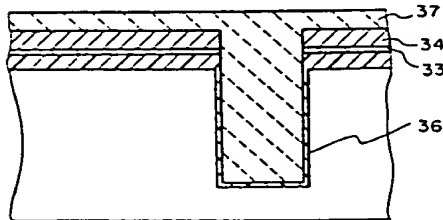


(h)

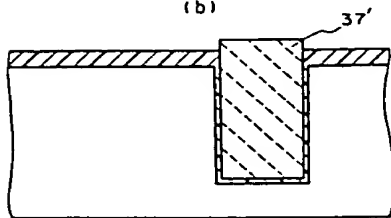
図 3



(a)

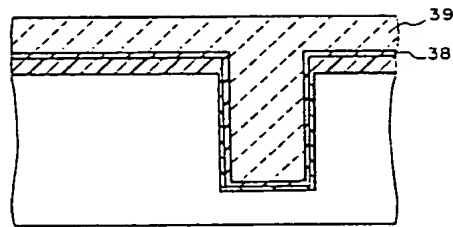


(b)

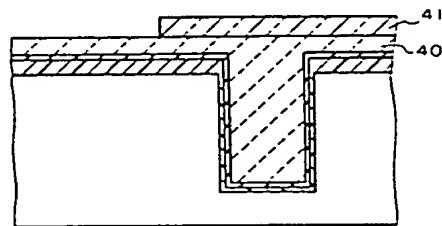


(c)

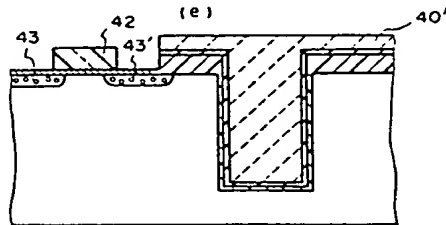
図 3



(d)



(e)



(f)